

# Simulationsunterstützte thermische Analyse einer Galliumarsenid-Feldeffekt-Leistungstransistorbaugruppe

## *Simulation based thermal analysis of a GaAs field effect power transistor assembly*

Gernot Hanreich<sup>1</sup>, Martin Mündlein<sup>2</sup>, Johann Nicolics<sup>2</sup> und Markus Mayer<sup>3</sup>

<sup>1</sup> Fachhochschulstudiengänge Burgenland GmbH, Studiengang für Energie- und Umweltmanagement  
Steinamangerstr. 21, A-7423 Pinkafeld, Österreich

<sup>2</sup> Institut für Industrielle Elektronik und Materialwissenschaften

<sup>3</sup> Institut für Elektrische Mess- und Schaltungstechnik

Technische Universität Wien, Gusshausstr. 27-29, A-1040 Wien, Österreich

### Kurzfassung

Obwohl Galliumarsenid-Transistoren (GaAs) wegen ihrer Hochfrequenztauglichkeit in zahlreichen Bereichen der Telekommunikation zur Anwendung kommen, bleibt als Nachteil bei ihrem Einsatz in Leistungsverstärkern die im Vergleich zu Silizium viel kleinere Wärmeleitfähigkeit. Insbesondere die im Pulsbetrieb unvermeidbaren Temperaturunterschiede innerhalb des Gates führen wegen der Temperaturabhängigkeit der elektrischen Eigenschaften zu einem zeitlich veränderlichen nichtlinearen Verhalten der Transistoren während eines Pulses. Die Stärke dieses Phänomens hängt dabei erheblich von montagebedingten Wärmeübergangswiderständen ab. Mit Hilfe eines an unserem Institut speziell für thermische Untersuchungen elektronischer Baugruppen und Bauteile entwickelten Simulationsprogramms (TRESKOM II) wird im Rahmen dieses Beitrages gezeigt, wie eine auf Grund von gegenseitigen Abhängigkeiten komplexe thermische Optimierungsaufgabe mit vergleichsweise geringem Aufwand gelöst werden kann. Ferner werden Wärmeübergangskoeffizienten durch Vergleich gemessener und berechneter Ergebnisse bestimmt, sowie die Grenzen und Unsicherheiten des 'Reverse-Modelings' diskutiert.

### Abstract

*Although GaAs transistors are broadly used in numerous fields of telecommunication because of their high-frequency capability, the low thermal conductivity of the substrate compared to silicon is critical for many power applications. Especially the unavoidable temperature differences within the gate during pulse operation lead to a time-dependent nonlinear transistor behavior. The degree of this phenomenon strongly depends on thermal boundary conditions like the heat transfer coefficient between die and base plate and other thermal parameters related to assembling techniques. In this paper we demonstrate how a thermal design of a power transistor assembly can be optimized with mutually dependent electrical and thermal properties. We applied a simulation tool (TRESKOM II) developed at our institute especially for the thermal analysis of electronic components and assemblies. The heat transfer coefficient was established by comparing experimentally determined and calculated temperature differences. Uncertainties and limitations of reverse modeling is also discussed.*

### Acknowledgement

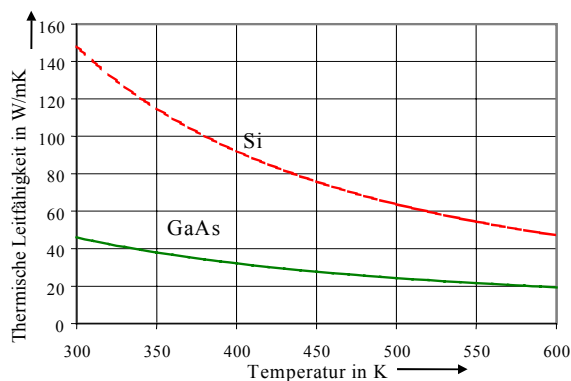
*Research reported here was performed in the context of the network TARGET- "Top Amplifier Research Groups in a European Team" and supported by the Information Society Technologies Programme of the EU under contract IST-1-507893-NOE, [www.target-org.net](http://www.target-org.net).*

## 1. Einleitung

Für drahtlose Kommunikation und moderne Radarsysteme werden Schaltkreise benötigt, welche bei Frequenzen über 2 GHz und großen Leistungen

betrieben werden können [1]. Aufgrund der im Vergleich zu Silizium um Größenordnungen höheren Elektronenbeweglichkeit in GaAs spielt diese Technologie eine wichtige Rolle beim Erreichen dieser Anforderungen [2]. Aufgrund der geringen thermischen Leitfähigkeit von GaAs (46 W/mK bei

300 K, **Bild 1**) gegenüber Si (148 W/mK bei 300 K) kommt der thermischen Charakterisierung von GaAs-Komponenten eine entscheidende Rolle zu. Zwei Gründe sind hierbei ausschlaggebend: Erstens hängen elektrische Parameter wie Wirkungsgrad, Ausgangsleistung und Verstärkung von der Temperatur ab. Aus diesem Grund benötigen speziell GaAs-Leistungstransistoren Simulationsmodelle, welche die Abhängigkeit der charakteristischen elektrischen Parameter von der lokalen Temperatur insbesondere innerhalb der Halbleiterstruktur berücksichtigen [4]. Zweitens wird die thermische Charakterisierung benötigt, um durch Minimierung der thermomechanisch erzeugten Kräfte und der thermischen Belastung die Lebenserwartung und Zuverlässigkeit der Bauteile zu verbessern. Problematisch ist dabei, dass die innerhalb eines GaAs-Transistors erzeugte Wärme sich innerhalb weniger kleiner begrenzter Bereiche konzentriert, was in Kombination mit der geringen thermischen Leitfähigkeit zu großen Temperaturgradienten innerhalb des Halbleitermaterials führen kann.



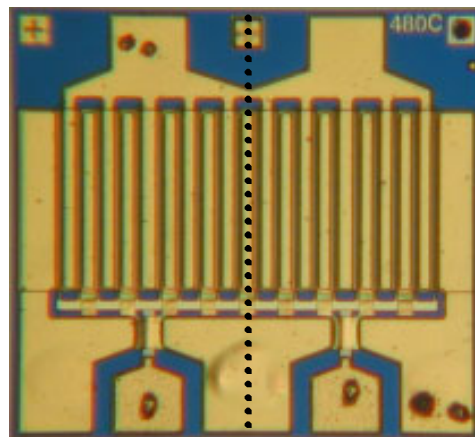
**Bild 1** Temperaturabhängigkeit der thermischen Leitfähigkeit von Silizium (Si) und Galliumarsenid (GaAs) [3].

Die Messung der Temperaturverteilung innerhalb eines Leistungstransistors mit einer ausreichenden Auflösung bedeutet einen erheblichen messtechnischen Aufwand [1], jedoch kann mit Hilfe einer thermischen Simulation die Anzahl der benötigten Messpunkte deutlich verringert werden. In diesem Beitrag wird das für die thermische Simulation im Bereich der Aufbau- und Verbindungstechnik an der TU-Wien eigens entwickelte Programm TRESKOM II vorgestellt und für die thermische Charakterisierung eines GaAs-Heterojunction-Leistungsfeldeffekttransistors angewendet. Das Simulationswerkzeug erlaubt ein rasches Generieren und Anpassen von Simulationsmodellen durch eine sehr effiziente Modellerstellungsmethode. Die thermischen Parameter von gebräuchlichen Materialien werden dabei von einer Datenbank verwaltet. Der entwickelte Lösungsalgorithmus ist ein auf der ADI-Methode (Alternating Direction Implicit) basierendes Iterationsverfahren,

das auch bei sehr großen nichtlinearen Gleichungssystemen noch vergleichsweise rasch konvergiert. Auf diese Weise können sowohl stationäre als auch instationäre Wärmeleitungsprobleme mit Modellen mit bis zu mehreren  $10^6$  Knoten effizient behandelt werden, wobei die in technischen Anwendungen häufig erforderliche Berücksichtigung der Temperatur- bzw. Zeitabhängigkeit von Werkstoffparametern, Randbedingungen und Wärmequellen keinen zusätzlichen Aufwand darstellt [5, 6].

## 2. Der Heterojunction-GaAs-Power-FET

Ein typischer GaAs-FET besteht aus mehreren Source- und Drain-Kontakten zwischen denen die Gate-Kontakte angeordnet sind. Die Kontakte bestehen aus Metallflächen auf der Oberfläche des GaAs-Chips. **Bild 2** zeigt eine mikroskopische Aufnahme des untersuchten Heterojunction-GaAs-Leistungstransistors (Excelics EPA480CV).

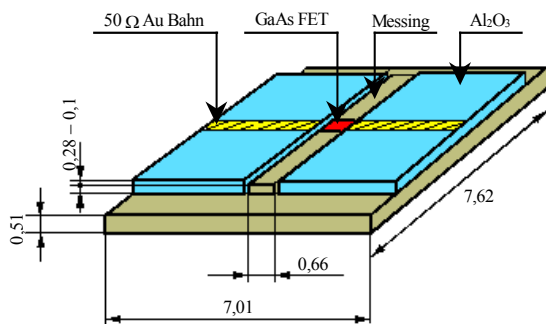


**Bild 2** Draufsicht des untersuchten GaAs-FETs (gepunktete Linie markiert die thermische Symmetrieebene).

Der Transistor besteht aus 20 parallelen Gate-Elektroden mit  $0,5 \mu\text{m}$  Länge. Als Gate-Länge wird der lichte Abstand zwischen den Source- und Drain-Anschlüssen bezeichnet [1]. Die Gate-Breite ist die Abmessung senkrecht dazu, also die Gesamtlänge aller Kanäle zwischen Source- und Drain-Elektroden (im vorliegenden Fall 20 Kanäle à  $240 \mu\text{m}$ ). Die gesamte Gate-Breite beträgt daher  $4800 \mu\text{m}$ . Ein weiterer wichtiger Parameter für die thermische Analyse von GaAs-FETs ist der Abstand zwischen zwei Gate-Elektroden, welcher konstant oder variabel sein kann. Die äußeren Chipabmessungen betragen  $680 \mu\text{m} \times 620 \mu\text{m}$ , die Chipdicke  $75 \mu\text{m}$  ( $\pm 13 \mu\text{m}$ ). Die Tiefe des Leitkanals beträgt  $0,3 \mu\text{m}$ . Die Elektrodenmetallisierung besteht aus mehreren aufgedampften Schichten (mit einer Dicke von  $0,3 \mu\text{m}$  über den Gate-Elektroden und  $2,6 \mu\text{m}$  über

den restlichen Elektrodenbereichen). Die Gate- und Source-Metallisierungen sind durch sogenannte Luftbrücken (air bridges) elektrisch voneinander isoliert. Der Chip ist mit einem thermisch hoch leitfähigen Silber/Epoxy Kleber auf dem Chipträger montiert (DIEMAT DM6030Hk).

Die Abmessungen des Chipträgers sind in **Bild 3** gezeigt. Für den Messaufbau wurden Chip und Chipträger auf einer Wärmesenke montiert, deren Temperatur mit Peltierelementen geregelt wird. Dadurch wird eine konstante und bekannte Temperatur als Randbedingung für die Grundfläche des Chipträgers erreicht. An den anderen Oberflächen werden natürliche Konvektion und Strahlung als Randbedingung angenommen.



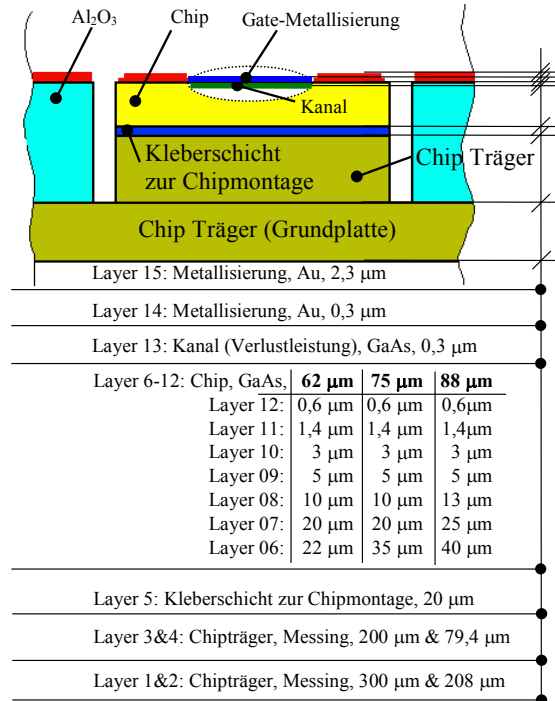
**Bild 3** Hauptabmessungen des Chipträgers (in mm).

### 3. Erstellung des thermischen Modells und Simulation

Hauptvorteil des verwendeten Simulationswerkzeugs ist der hohe Grad an Flexibilität sowie die Einfachheit der Modellerstellung und Anpassung. Das Modell wird hierbei durch Unterteilen des zu untersuchenden Objekts in Schichten (Layer) erstellt, deren Dicke an die vertikale Struktur des jeweiligen Objektes angepasst werden. Im Fall des untersuchten Aufbaus wurden 15 Layer verwendet (**Bild 4**). Die Layer 1-4 bilden den Chipträger (Messing). Layer 5 beschreibt die Kleberschicht zur Chipmontage. Ihre thermische Leitfähigkeit wurde variiert, um den Einfluss der Montageparameter auf das thermische Verhalten des Chips zu untersuchen.

Der GaAs-FET selbst wird durch die Layer 6-15 gebildet. Auf Grund der Dickentoleranz des Chips ( $75 \mu\text{m} \pm 13 \mu\text{m}$ ) wurden drei verschiedene Modelle generiert: Eines mit der nominellen Chipdicke von  $75 \mu\text{m}$  und zwei weitere die maximale Toleranz berücksichtigend mit einer Dicke von  $62$  bzw.  $88 \mu\text{m}$  (Layer 6-12). Es wurde angenommen, dass die Verlustwärme unterhalb der Gate-Elektrode innerhalb des  $0,3 \mu\text{m}$  dicken Kanals erzeugt wird. Jeder Kanal generiert dabei die selbe Wärmemenge (Layer 13). Die beiden Layer 14 und 15 charakterisieren die Elektrodenmetallisierungen mit einer Dicke von

$0,3 \mu\text{m}$  an der Gate- und  $2,6 \mu\text{m}$  an den restlichen Elektroden.



**Bild 4** Layer des GaAs-FETs.

Nach der Definition der Layer wird jeder Layer in Volumenelemente unterteilt, sogenannte Zellen. Die Zellabmessungen können in allen drei Dimensionen verändert werden. Die Zellstruktur selbst wird mit Funktionen ähnlich denen von pixelorientierten Zeichenprogrammen erstellt. Vordefinierte Materialdatensätze werden diesen Strukturen durch einfaches Füllen mit einer bestimmten Farbe zugewiesen. **Tabelle 1** zeigt die verwendeten Materialien und deren thermische Eigenschaften. Die Temperaturabhängigkeit der thermischen Leitfähigkeit von GaAs wurde mit dem in dieser Tabelle gezeigten Zusammenhang berücksichtigt. Diese Näherung wurde aus experimentellen Ergebnissen abgeleitet [3].

Eigenschaft →	Thermische Leitfähigkeit	Dichte	Wärme- kapazität
↓ Material	in $\text{W}/(\text{m}\cdot\text{K})$	in $\text{kg}/\text{m}^3$	in $\text{J}/(\text{kg}\cdot\text{K})$
GaAs	$46 \cdot (T/300 \text{ K})^{-1,25}$	8500	176
Au	295	19290	128
Messing	113	8840	376
$\text{Al}_2\text{O}_3$	20	3780	800
Kleber	30-60	2600	800

**Tabelle 1** Thermische Eigenschaften der verwendeten Materialien.

Auf Grund der thermischen Symmetrie muss nur eine Hälfte der Anordnung simuliert werden (gepunktete Linie in **Bild 2**). Für die Modellierung des GaAs-FETs wurden zwei Modelle mit unterschiedlicher

Diskretisierung erzeugt: Das gröbere Modell verwendet Zellen mit Kantenlängen von  $\Delta x = 2 \mu\text{m}$  und  $\Delta y = 6 \mu\text{m}$ , was zu einer Gesamtzellenanzahl von 17.500 für den Chip selbst führt. Das feinere Modell mit  $\Delta x = 1 \mu\text{m}$  und  $\Delta y = 3 \mu\text{m}$  Kantenlänge besitzt 700.400 Zellen.

Bei beiden Modellen werden die Bereiche des Chipträgers, welche nicht mit dem Transistor bedeckt sind, mit ungleichförmigen Zellen mit Kantenlängen von  $1 \mu\text{m}$  bis  $600 \mu\text{m}$  diskretisiert. Das Gesamtmodell besteht aus  $1,34 \cdot 10^6$  Zellen beim feinen und  $417 \cdot 10^3$  beim größeren Modell.

## 5. Diskussion der Ergebnisse

Zur Untersuchung des thermischen Verhaltens des Transistors wurden stationäre und instationäre Berechnungen im Hinblick auf zwei Ziele durchgeführt. Erstes Ziel war die Berechnung der Temperaturverteilung in der aktiven Schicht (Layer 13 in Bild 4), da dadurch die elektrischen Eigenschaften des FETs beeinflusst werden. Ein Beispiel dieser thermoelektrischen Beeinflussung ist die sinkende Elektronenbeweglichkeit mit steigender Kanaltemperatur, welche zu einer Stromabnahme im entsprechenden Kanal führt. Hieraus resultiert ein Selbststabilisierungseffekt.

Zweites Ziel der thermischen Simulation war es, den Einfluss der Chipmontageparameter auf die thermischen Eigenschaften des Chips zu untersuchen. Um eine zuverlässige Funktion des FETs gewährleisten zu können, muss die Kanaltemperatur unter  $150^\circ\text{C}$  gehalten werden. Ein Überschreiten von  $175^\circ\text{C}$  kann zu einer permanenten Beschädigung des Transistors führen. Alle Simulationen wurden für  $25^\circ\text{C}$  Umgebungs- und Wärmesenkentemperatur durchgeführt.

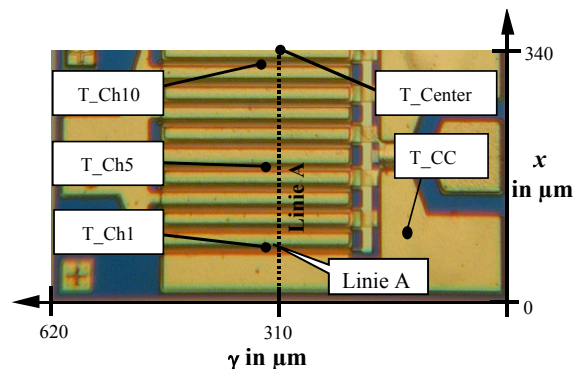
Zur Veranschaulichung des thermischen Verhaltens des Leistungstransistors sind im nächsten Abschnitt Temperatur-Zeit-Verläufe an einigen charakteristischen Punkten sowie die Temperatur entlang der in Bild 5 gezeigten Linie A dargestellt.

Zur Charakterisierung des stationären thermischen Verhaltens wird der maximale thermische Widerstand  $R_{th,max}$  und der mittlere thermische Widerstand  $R_{th,mean}$  der Anordnung durch

$$R_{th,max} = \frac{T_{max} - T_C}{P}, \quad R_{th,mean} = \frac{T_{mean} - T_C}{P} \quad (1)$$

definiert, wobei  $T_{max}$  und  $T_{mean}$  der maximale bzw. die mittlere Temperatur innerhalb der aktiven Schicht entsprechen.  $T_C$  ist dabei die Temperatur der Wärmesenke und  $P$  die umgesetzte Verlustleistung. Zur Überprüfung des Simulationsergebnisses wurden Temperaturmessungen mit Hilfe von miniaturisierten Au/Al-Thermoelementen durchgeführt. Hierfür

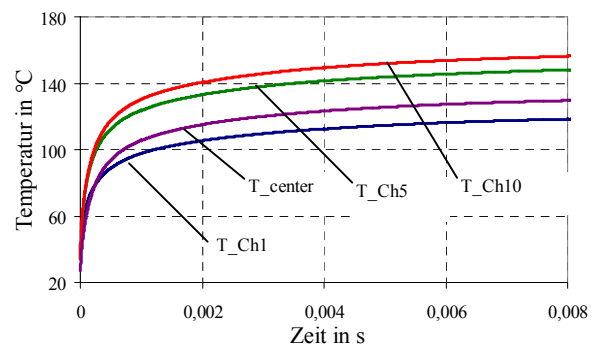
wurden Thermoelemente durch Wedge-Bonden eines Al-Drahts auf die Goldmetallisierung des Chips erzeugt (Position T\_CC in Bild 5). Die thermoelektrische Spannung zwischen Au und Al ist dann ein Maß für die lokale Temperatur. Da die thermoelektrische Spannung über den Seebeck-Koeffizient sehr stark von der Zusammensetzung der beteiligten Materialien abhängt und der verwendete Al-Draht zur Verbesserung der Bondbarkeit mit 1% Silizium legiert ist, mussten separate Kalibrierungsmessungen durchgeführt werden. Als Ergebnis dieser Messung wurde für die verwendete Materialkombination ein Seebeck-Koeffizient von näherungsweise  $4,6 \mu\text{V/K}$  gefunden.



**Bild 5** Charakteristische Punkte und Linien, deren Temperatur zur Veranschaulichung des thermischen Verhaltens des Transistors simuliert wurden.

### 5.1 Instationäre Analyse

Bild 6 zeigt die thermische Antwort der Anordnung auf das Einschalten von 4 W Verlustleistung. In dieser Simulation wurde die nominelle Chipdicke von  $75 \mu\text{m}$  und eine thermische Leitfähigkeit der Chipmontage

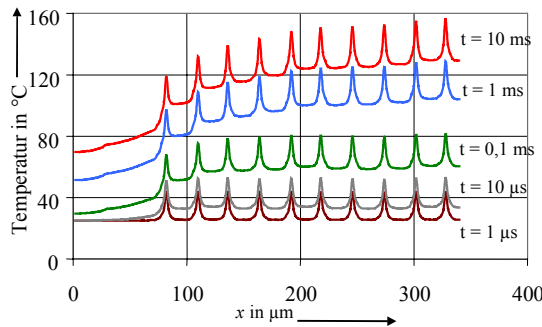


**Bild 6** Temperatur-Zeit-Verlauf an charakteristischen Punkten (Verlustleistung: 4 W, Kleberschicht zur Chipmontage:  $30 \text{ W/mK}$ ,  $20 \mu\text{m}$  dick).

kleberschicht von  $30 \text{ W/mK}$  verwendet. (Dicke der Kleberschicht:  $20 \mu\text{m}$ ). Wie aus dieser Abbildung zu erkennen ist, haben die Temperaturdifferenzen innerhalb des Chips nach weniger als einer Hundertstel Sekunde praktisch ihren Endwert erreicht. Bereits

nach 18 ms weichen die Temperaturen weniger als 1 K von ihren Stationärwerten ab.

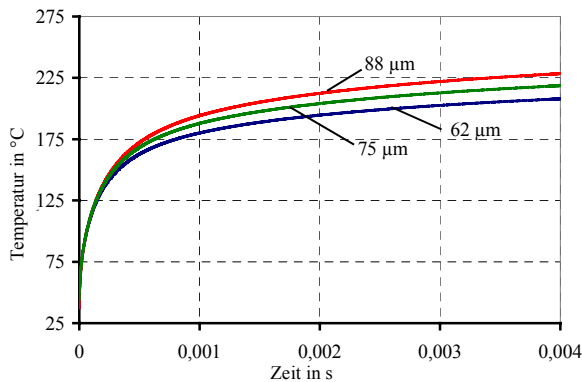
**Bild 7** zeigt die Temperatur entlang der Linie A (**Bild 5**) nach verschiedenen Zeiten für die selben Simulationsparameter wie oben. Diese Abbildung veranschaulicht den starken Temperaturanstieg innerhalb der Kanäle, welcher zu Temperaturgradienten von bis zu 10 K/ $\mu\text{m}$  führt. Die Temperaturverläufe nach 1  $\mu\text{s}$  und 10  $\mu\text{s}$  zeigen näherungsweise gleiche Maximaltemperaturen für die verschiedenen Kanäle. Nach 0,1 ms treten unterschiedliche Maximaltemperaturen auf, was eine ungleichmäßige Stromaufteilung innerhalb des Transistors zur Folge hat.



**Bild 7** Temperatur entlang Linie A (**Bild 5**) zu verschiedenen Zeiten (Verlustleistung: 4 W, Kleberschicht zur Chipmontage: 30 W/mK, 20  $\mu\text{m}$  dick).

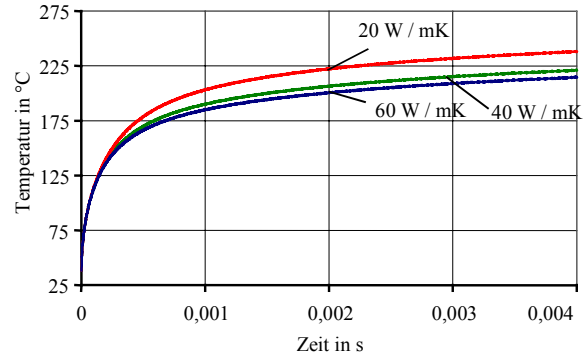
Der Einfluss der Chipdicke und der thermischen Leitfähigkeit des Chipmontageklebers ist in **Bild 8** und **Bild 9** dargestellt (Umgebungstemperatur 25°C)

**Bild 8** zeigt den Temperatur-Zeit-Verlauf von Punkt T\_Ch10 für die nominelle Chipdicke von 75  $\mu\text{m}$ , die untere Toleranzgrenze von 62  $\mu\text{m}$  und die obere Toleranzgrenze von 88  $\mu\text{m}$ . Mit zunehmender Zeit nimmt die Temperaturdifferenz auf Grund der unterschiedlichen Chipdicke Werte bis näherungsweise 20 K an. Für diese Simulation wurde eine Verlustleistung von 6 W und eine thermische Leitfähigkeit des Chipmontageklebers von 60 W/mK angenommen.



**Bild 8** Temperatur/Zeit-Verlauf an Punkt T\_Ch10 für verschiedene Chipdicken.

Der Einfluss der thermischen Leitfähigkeit des Chipmontageklebers zeigt **Bild 9** (Chipdicke 75  $\mu\text{m}$ ). Durch die Variation der thermischen Leitfähigkeit zwischen 20 W/mK und 60 W/mK konnten Temperaturdifferenz bis 24 K beobachtet werden.



**Bild 9** Temperatur/Zeit-Verlauf an Punkt T\_Ch10 für verschiedene thermische Leitfähigkeit des verwendeten Klebers.

Die berechneten Temperaturen wurden mit den gemessenen verglichen, jedoch ist auf Grund der Unsicherheiten in der Chipdicke und der thermischen Leitfähigkeit des Chipmontageklebers ein direkter Vergleich nicht uneingeschränkt. Dennoch konnte für geringe Verlustleistungen eine ausreichende Übereinstimmung erreicht werden. Für höhere Verlustleistungen wurden die in **Tabelle 2** gezeigten relativen Abweichungen  $\delta$  zwischen berechneter  $T_s$  (in K) Temperatur und gemessener Temperatur  $T_m$  (in K) festgestellt:

$$\delta = \frac{T_s - T_m}{T_s} \cdot 100 \text{ [%]} \quad (2)$$

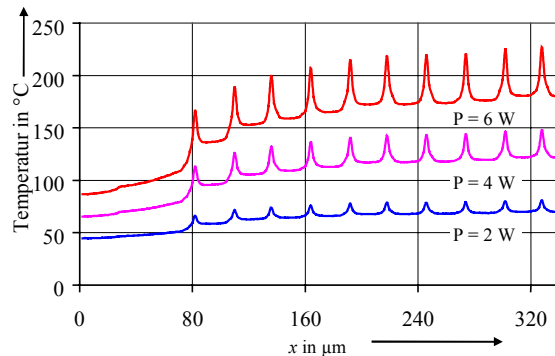
	$\delta$ ( $P = 1,91 \text{ W}$ )	$\delta$ ( $P = 4,7 \text{ W}$ )
$t = 1,25 \text{ ms}$	<-1%	-2%
$t = 2,5 \text{ ms}$	<-1%	-5%
$t = 5 \text{ ms}$	-1%	-9%

**Tabelle 2** Abweichung zwischen gemessenem und gerechneter Temperatur.

## 5.2 Stationäre Analyse

**Bild 10** zeigt die berechnete stationäre Temperaturverteilung entlang der Linie A. Es zeigt sich, dass für steigende Verlustleistung die Differenz zwischen maximaler und mittlerer Temperatur der aktiven Schicht, sowie die Differenz zwischen den Spitztemperaturen der einzelnen Kanäle zunimmt. Dies kann auch am zunehmenden maximalen thermischen Widerstand von 28 K/W bei  $P = 2 \text{ W}$  auf 35 K/W bei  $P = 6 \text{ W}$  beobachtet werden. Der mittlere

thermische Widerstand hingegen steigt lediglich von 9,5 K/W bei  $P = 2$  W auf 10,2 K/W bei  $P = 6$  W. Häufig ist die untere Fläche des GaAs-Chips, welche in Kontakt mit dem Chipträger steht, mit einer die Wärme verteilenden Goldschicht metallisiert (z.B. EPA1200A). Bei der untersuchten Anordnung führt eine 20  $\mu\text{m}$  dicke Goldschicht zu einer Verminderung des maximalen thermischen Widerstandes bei Pulslast um ca. 10%, wobei der mittlere thermische Widerstand annähernd konstant bleibt.



**Bild 10** Temperatur entlang Linie A (Bild 5) für verschiedene Verlustleistungen (Chip: 75  $\mu\text{m}$ , Kleberschicht zur Chipmontage: 20  $\mu\text{m}$ , 30 W/mK).

## Literatur

[1] J. Wilson: "Thermal issues in GaAs analog RF devices"; *Electronics Cooling*, Vol. 8, No. 1 (2002), S. 14-21.

- [2] L.H. Shu, A Christou, and D.F. Barbe: "High Temperature Device Simulation and Thermal Characteristics of GaAs MESFETs on CVD Diamond Substrates"; *Microelectronics Reliability*, Vol. 36, No. 9, 1996, pp. 1177-1189.
- [3] V. Palankovski, S. Selberherr: "Thermal Models for Semiconductor Device Simulation"; *Proc. of 3rd European Conference on High Temperature Electronics, HITEN 99*, Berlin, Germany, 1999, S. 25-29.
- [4] D. Smely, M. Mayer, G. Magerl: "A Measurement Based Gate Current Model for GaAs MESFET's and HEMT's Including Self-Heating and Impact Ionization"; *Proc. of International Symposium on Electron Devices for Microwave and Optoelectronic Applications, EDMO 2001*, S. 223-228.
- [5] G. Hanreich, J. Nicolics, L. Musiejovsky: "High resolution thermal simulation of electronic components"; *Microelectronics Reliability*, Vol. 40 (2000), S. 2069-2076.
- [6] G. Hanreich, J. Nicolics: "A New Thermal Simulation Tool for Optimization of Laser Desoldering of Flip-Chip Components"; *Proc. 2nd International Conference on Benefiting from Thermal and Mechanical Simulation in (Micro)-Electronics, EuroSimE 2001*, Paris, France, April 2001 S. 101-106.